

[19]中华人民共和国专利局

[51]Int.Cl⁶

H04N 7/50



[12] 发明专利申请公开说明书

[21] 申请号 96121871.1

[43]公开日 1997 年 8 月 27 日

[11] 公开号 CN 1158058A

[22]申请日 96.12.6

[30]优先权

[32]95.12.6 [33]EP[31]95402786.8

[32]96.3.19 [33]EP[31]96104299.1

[71]申请人 汤姆森多媒体公司

地址 法国库伯瓦

[72]发明人 巴思·A·坎菲尔德 罗尔夫·凯斯勒

吉勒斯·拉穆鲁

德尔特莱夫·泰克纳

[74]专利代理机构 柳沈知识产权律师事务所

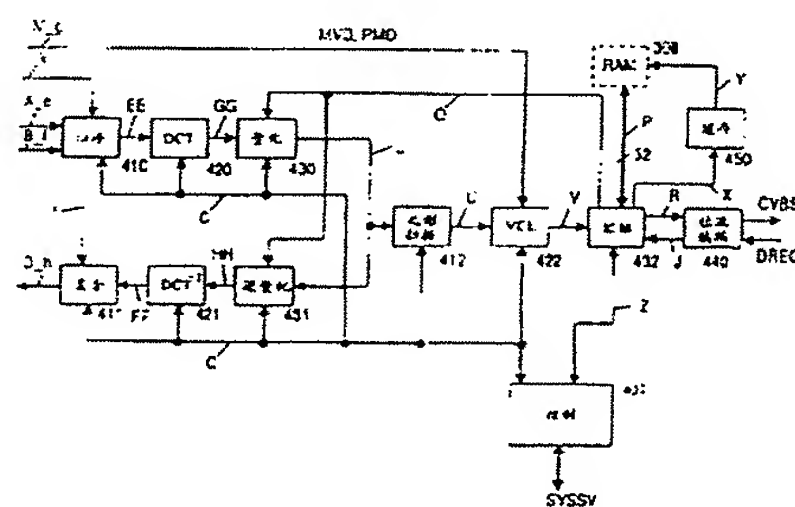
代理人 马 莹

权利要求书 4 页 说明书 15 页 附图页数 5 页

[54]发明名称 数字视频信号编码的方法和设备

[57]摘要

一个基于一组专用的 IC 设计的实时 MPEG-2 视频编码器，其处理功能在三个主 IC 或级中进行组织。预处理器包含所有输入和如进行数据压缩时所需要的图像格式转换的预处理功能；粗略和精确运动估算器包含所有运动估算和运动预测功能；位流编码器采用流水线处理并包括多功能位流汇编级，用于 MPEG-2 编码的所有位流发生，如 DCT、量化器、逆量化器、逆 DCT、之字形扫描以及 RLC/VLC 编码，但不包括运动预测。



权 利 要 求 书

1、采用运动估算(102； 203； 303， 305)和编码循环对数字视频信号(INS， DVS)进行编码的方法， 编码循环包括变换步骤(104； 420)、量化步骤(105； 430)、逆量化步骤(106； 431)、逆变换步骤(107； 421)、重构步骤(108； 411)和采用从所述运动估算得到的运动信息(MVD， PMD)进行预测的象素宏块预测步骤(109)， 其中象素宏块数据和预测象素宏块数据之间的差值信号(103)和/或象素宏块数据本身可以在所述变换步骤中进行处理， 而所述量化步骤的输出被进一步处理(110 - 114； 412， 422， 432， 440， 450， 308)， 从中得出编码过的视频信号(OUS， CVBS)， 该信号包括从所述运动信息中得出的信息， 其特征在于，

编码在采用流水线处理来进行所述变换、量化、逆量化、逆变换和重构步骤但不包括所述预测步骤的一个集成电路(207； 307)中实现，

并且其中所述进一步处理包括之字形扫描步骤(110； 412)、行程长度和可变长度编码步骤(111， 115， 116； 422)， 以及位流汇编步骤(432)， 在后一步骤中采用存储器装置(308)作为数据速率控制缓冲器(113)和作为大于宏块电平的位流数据(CVBS)的中间存储器， 该宏块电平由控制装置(209； 309； 409)提供给所述集成电路(207； 307)， 从而，

在至少另一个集成电路(203； 303， 305)中执行所述运动估算(102； 203； 303， 305)和所述预测步骤(109)， 该电路与所述集成电路(207； 307)相连， 并且分配了用于所述运动估算和所述预测步骤的图像数据存储装置(204； 304， 306)。

2、采用运动估算(102； 203； 303， 305)和编码循环对数字视频信号(INS， DVS)进行编码的方法， 编码循环包括变换步骤(104； 420)、量化步骤(105； 430)、逆量化步骤(106； 431)、逆变换步骤(107； 421)、重构步骤(108； 411)和采用从所述运动估算得到的运动信息(MVD， PMD)进行预测的象素宏块预测步骤(109)， 其中象素宏块数据和预测象素宏块数据之间的差值信号(103)和/或象素宏块数据本身可以在所述变换步骤中进行处理， 而所述量化步骤的输出被进一步处理(110 - 114； 412， 422， 432， 440， 450， 308)， 从中得出编码的视频信号(OUS， CVBS)， 该信号包括从所述运动信息中得出的信息， 其特征在于编码在进行所述变换、量化、逆量化、逆变换

和重构步骤但不包括所述预测步骤的一个集成电路(207； 307)中实现，并且其中所述进一步处理包括之字形扫描步骤(110； 412)、行程长度和可变长度编码步骤(111， 115， 116； 422)，以及位流汇编步骤(432)，在后一步骤中采用存储器装置(308)至少作为数据速率控制缓冲器(113)，从而

5 缓冲器填充级不是由存储在所述存储装置(308)中的数据计算得到的，而是在所述位流汇编步骤(432)中计算相应的位得出的，这样得出的缓冲器填充级被用于控制所述的量化步骤(105； 430)和所述的逆量化步骤(106； 431)，以及

从而在至少另一个集成电路(203； 303， 305)中执行所述运动估算
10 (102； 203； 303； 305)和所述预测步骤(109)，该电路与所述集成电路(207； 307)相连，并且分配了用于所述运动估算和所述预测步骤的图像数据存储装置(204； 304， 306)。

3、根据权利要求1或2所述的方法，其特征在于要编码的数字视频信号(INS， DVS)是MPEG - 1或MPEG - 2信号。

15 4、根据权利要求3所述的方法，其特征在于在所述的汇编步骤(432)中，分别采用一个或所述的与所述集成电路(207； 307)相连的控制装置(209； 309； 409)来实现高于片层的视频位流操作和速率控制功能。

5、根据权利要求1至4的任意一个所述的方法，其特征在于为了确定编码选择方案，要执行额外的编码预分析步骤，其中先前时间瞬间的象素宏
20 块数据(A1_e)首先经过所述变换步骤(104； 420)、所述量化步骤(105； 430)、所述逆量化步骤(107； 421)、所述逆变换步骤(107； 421)和所述重构步骤(108； 411)，然后才是将要编码的当前象素宏块数据(A2_e)经过所述变换步骤、所述量化步骤、所述逆量化步骤、所述逆变换步骤和所述重构步骤。

6、采用运动估算装置(102； 203； 303， 305)和编码循环对数字视频
25 信号(INS， DVS)进行编码的设备，编码循环包括变换装置(104； 420)、量化装置(105； 430)、逆量化装置(106； 431)、逆变换装置(107； 421)、重构装置(108； 411)和象素宏块预测装置(109)，在所述预测装置中采用从所述运动估算得到的运动信息(MVD， PMD)进行预测，其中象素宏块数据和预测象素宏块数据之间的差值信号(103)和/或象素宏块数据本身在所述变换装置
30 中进行处理，而所述量化装置的输出被进一步处理(110 - 114； 412， 422， 432， 440， 450， 308)，从中得出编码的视频信号(OUS， CVBS)，该信

号包括从所述运动信息中得出的信息, 其特征在于

编码在集成电路(207; 307)中采用流水线处理来执行, 该集成电路包括所述变换、量化、逆量化、逆变换和重构装置, 但不包括所述预测装置,

并且其中所述进一步处理包括之字形扫描装置(110; 412)、行程长度和
5 可变长度编码装置(111, 115, 116; 422), 以及位流汇编装置(432), 在最后一装置中采用存储器装置(308)作为数据速率控制缓冲器(113)和作为大于宏块电平的位流数据(CVBS)的中间存储器, 该宏块电平由控制装置(209; 309; 409)提供给所述集成电路(207; 307), 从而

在至少另一个集成电路(203; 303, 305)中包括所述运动估算(102;
10 203; 303, 305)和所述预测装置(109), 该电路与所述集成电路(207; 307)相连, 并且分配了用于所述运动估算和所述预测装置的图像数据存储装置(204; 304, 306)。

7、采用运动估算(102; 203; 303, 305)和编码循环对数字视频信号(INS, DVS)进行编码的设备, 编码循环包括变换装置(104; 420)、量化装置(105; 430); 逆量化装置(106; 431)、逆变换装置(107; 421)、重构装置(108; 411)和象素宏块预测装置(109), 在象素宏块预测装置中采用从所述运动估算得到的运动信息(MVD, PMD), 其中象素宏块数据和预测象素宏块数据之间的差值信号(103)和/或象素宏块数据本身可以在所述变换装置中进行处理, 而所述量化装置的输出被进一步处理(110 - 114; 412, 422, 432, 440, 450, 308), 从中得出编码的视频信号(OUS, CVBS), 该信号包括从所述运动信息中得出的信息, 其特征在于

在包括所述变换、量化、逆量化、逆变换和重构装置(不包括所述预测装置)的一个集成电路(207; 307)中进行编码, 并且其中所述进一步处理包括之字形扫描装置(110; 412)、行程长度和可变长度编码装置(111, 115, 116;
25 422), 以及位流汇编装置(432), 在最后一装置中采用存储器装置(308)至少作为数据速率控制缓冲器(113), 从而

缓冲器填充级不是由存储在所述存储装置(308)中的数据计算得到的, 而是在所述位流汇编装置(432)中计算相应的位得出的, 这样得出的缓冲器填充级被用于控制所述的量化装置(105; 430)和所述的逆量化装置(106; 431),
30 以及

从而在至少另一个集成电路(203; 303, 305)中包括所述运动估算

(102; 203; 303, 305)和所述预测装置(109),该电路与所述集成电路(207; 307)相连,并且分配了用于所述运动估算和所述预测装置的图像数据存储装置(204; 304, 306)。

8、根据权利要求6或7所述的设备,其特征在于要编码的数字视频信号(INS, DVS)是 MPEG - 1 或 MPEG - 2 信号。

9、根据权利要求8所述的设备,其特征在于在所述的汇编装置(432)中,分别采用一个或所述的与所述集成电路(207; 307)相连的控制装置(209; 309; 409)来实现高于片层的视频位流操作和速率控制功能。

说明书

数字视频信号编码的方法和设备

5 本发明涉及视频数据压缩和位流编码的方法与设备。

ISO/IEC 已经对代表用于标准分辨率以及高分辨率视频信号和图像的视
频压缩方法的视频位流进行了标准化,称之为 MPEG - 2 标准。

MPEG - 2 提供三种不同的图像编码类型:内部(I)、预测(P)和双向预测
或内插(B)的帧或场。另外,在 P 和 B 帧或场中,如果运动预测没有给出好的
10 结果,那么宏块可以分别是帧内或场内编码。必须在编码器中作出该判定,
判据由设备来决定。此外, MPEG - 2 考虑了基于帧或场的 DCT(离散余弦
变换),它们需要对行进行行分类以及由编码器作出另一个判定。

在数字视频广播应用中,通常需要大量的译码器,而只需要少量的编码
器来提供服务。美国的 DirecTv 卫星服务给出了一种典型的配置,其中用于
15 大约 150 个同步节目的 MPEG - 2 编码器提供了全国范围的广播服务。这需
要相对便宜的译码器,而编码器可以包括更完备的电路,并且可以更昂贵。
MPEG - 2 视频编码和译码可以以不对称的方式来实现,其中,编码器包括
一个高度复杂的电路,而译码器必须仅仅包括对有效位流进行译码时确实需
要的功能范围。

20 为此, MPEG 定义了位流的语法和语义以及一个所谓的“系统目标译码
器”。编码器的实现不是由标准来管理的,因此,由于对图像质量要求较低,
可以允许构造较简单的编码器用于应用,而对质量要求较高时,则可以构造
很复杂的编码器。

对视频广播和娱乐节目而言,图像质量的应用基准水平是由现有的视频
25 标准来设置的。当作实况报道时,编码器必须能够实时运行。为了处理所有
不同的数字视频应用及其各自的要求,通称的 MPEG 委员会(ISO/IEC 的第 11
工作组)已经定义了一套项表和层级。项表确定属于 MPEG - 2 标准的编码
工具的某个子集。对特定的编码方法和应用采用不同的工具。层级则将大范
围的参数限定为在通用的如视频广播或通过网络的视频传送的应用中所采用
30 的那些数目。

为了用于视频广播服务,标准分辨率视频与 ITU - R 建议 601 的规格或

某些子集有关，并且可以由 MPEG - 2 主层主项表(Main Profile at Main Level)(MP@ML)来处理。高清晰度视频可以被 MPEG - 2 的高层级(例如 MP@HL)中定义的参数集所覆盖。

主项表包括对视频以所谓的 4:2:0 格式进行压缩的方法，并且定义了许多高压压缩比所需要的运动补偿和编码模式。MP 中的运动补偿是以基于帧和场的前向和后向预测为根据的，并且包括特别面向交错视频信号的细化，例如“双主元(Dual Prime)”技术。为了编码，MP 允许基于帧和场的 DCT、线性和非线性量化、标准和其它的之字型扫描等等。

数字视频广播服务的位速率为最低到 1 MBit/s 和高到大约 10 MBit/s 的范围内。根据 ITU - R 建议 601 进行数字化的视频信号的原始数据速率大约为 166 MBit/s，没有消隐信号间隔、时钟和同步。一个 4 MBit/s 的典型位流速率应该提供与现有的 NTSC 和 PAL 视频标准相类似的图像质量，它所需要范围为 40 的压缩因子。

对于源于电影材料中的视频信号来说，由于它们的非交错特性和 24Hz 的低瞬态重复速率，因此达到这个压缩率范围相对容易。对于来源于摄像机的实际视频信号有更多的要求，特别是对有快速和随机运动的序列视频信号。为了以高压压缩比率充分地再现这些图像，由 MPEG - 2 MP 提供的所有运动预测和编码选择方案都是强制性的。

根据数字视频信号的主项表 MP 对 MPEG - 2 视频数据流进行编码的主要功能方框图示于图 1。在本领域公知的这种基本编码器配置中，数字化的视频信号被输入图像组织块 101，该块以为后继运动估算和编码所用的宏块和块顺序重新安排行和场方式的亮度和色度信号。在块 101 也对该视频数据的场或帧序列进行重新组织。运动估算级 102 以不同预测类型的运动矢量形式计算两个相继图像之间的对应的宏块一致性，这由 ISO/IEC 13818 - 2 标准的语法和语义所许可和支持，即帧预测、场预测和双主元预测。16 × 16 个像素的宏块被传送到组合器 103，运动矢量参数或数据 MVD，和预测方式描述符 PMD 被传送到预测器 109、用于运动矢量参数的第一 VLC(可变长度编码)编码器 115 和用于预测方式的第二 VLC 编码器。对预测过的宏块(P 和 B 图像)，组合器 103 从运动估算级 102 和预测器 109 取得宏块，并且对相应宏块的每个像素计算包括像素差的差值信号。这些差值信号被送到 DCT 级 104，并且对每个 8 × 8 像素块变换为相应的 8 × 8 DCT 系数的阵列。在

未预测的宏块(I 图像)的情况下, 则不需产生差值信号, 直接将级 102 的输出传送到 DCT 级 104。

系数阵列被传送到量化级 105, 后者包括根据相应的表目和比例因子划分每个系数的表。量化器 105 的输出被送到之字形扫描单元 110 以及逆量化器 106。逆量化器 106 执行量化器 105 的逆操作, 即它将每个输入值乘以相应的表目和比例因子。逆量化器的输出信号被传到逆 DCT 块 107, 在其中 DCT 系数的 8×8 阵列被逆变换为象素值的 8×8 块。这些象素值块被传送到加法器 108, 在其中与预测器 109 的相应输出信号相加。预测器级 109 从加法器 108 收到它的输入信号, 并将其存贮为宏块方式, 并且根据运动检测器 102 先前计算的运动矢量和预测器值, 在相应的图像阵列中执行宏块的移位转换, 即运动补偿。这个预测过程的输出信号被传送到加法器 108 和组合器 103。

具有被量化的 DCT 系数形式的量化器 105 的输出信号通过之字形扫描在单元 110 中被排列起来, 然后被传送到一个 RLC(行程长度编码)/VLC 单元 111, 单元 111 由所有必要的包括 ISO/IEC 13818 - 2 的换码代码 RLC/VLC 表组成。RLC/VLC 级 111 的输出信号表示在位序列数据流中被压缩的图像数据。

在 VLC 编码器 115 和 116 中, 对运动矢量和预测方式作类似的 MPEG VLC 变换。这些变换过的信号被输入到 MPEG 标题产生单元 117, 该单元也插入来自诸如个人计算机之类的外部控制设备的控制参数 CONPAR。完成的标题信号被送到封包器和多路复合器级 112, 该级也接收相应于 RLC/VLC 中的图像内容的 RLC/VLC 数据。在级 112, 所有数据都根据 ISO/IEC 13818 - 2 或 11172 - 2 进行校准和排序。级 112 的输出信号被送到缓冲器 113, 如 RAM, 该缓冲器将所有送到的数据存贮起来, 并且测量填充状态。根据实际填充状态, 缓冲器 113 将一个信号送到比率控制单元 114, 后者又计算将要用于量化级 105 的相应的量化比例参数。缓冲器 113 的其它输出 OUS 是编码器的压缩数据流, 它符合 ISO/IEC 13818 - 2 或 11172 - 2 规格或类似的数据压缩标准, 以及符合需要的恒定或可变位速率。

色度也被相应地编码, 因此运动估算通常只对亮度来进行。

本发明的一个目的是公开一种对数字视频信号进行编码的方法, 该方法采用具有最小芯片数和相应于特定芯片对所需要的编码功能作最佳划分的可

量测 MPEG - 2 编码芯片组, 其中, 预测步骤在运动估算芯片中执行, 而在位流汇编步骤中, 采用不包含像素数据的多用途存储器。这个目的由权利要求 1 公开的方法实现。

5 本发明的另一个目的是公开一种对数字视频信号进行编码的方法, 该方法采用具有最小芯片数和相应于特定芯片对所需要的编码功能作最佳划分的可量测 MPEG - 2 编码芯片组, 其中, 预测步骤在运动估算芯片中执行, 而在位流汇编步骤中采用多用途存储器, 它用作数据速率控制缓冲器, 但不包括像素数据, 并且其中缓冲器的填充级并不是直接由存储器容量得出的。这一目的由权利要求 2 所公开的方法实现。

10 本发明的另一个目的是公开一种利用本发明方法的装置。这个目的由权利要求 6 和 7 公开的装置来实现。

本发明涉及视频数据压缩和位流编码, 它特别符合运动图像标准 (ISO/IEC 13818 - 2 和 11172 - 2) 的 MPEG - 2 和 MPEG - 1 编码, 并且是以 VLST 结构为根据, 能与标准控制器电路结合使用。设计本发明的目的是
15 提供高速计算以满足 MPEG - 2 视频编码算法的实时执行需要。

实时的 MPEG - 2 视频编码器是根据一组特定的 IC 设计来研制的。该编码器根据 ITU - R 601 建议将视频图像根据 MPEG - 2 视频标准规格压缩为从例如 1MBit/s 到 15MBit/s 的位流, 该规格即主层主项表(MP@ML)。其它输入格式也可以进行处理, 包括各种 HDTV 源格式, 它们能转换为高层主项
20 表的位流。

编码器的主要功能包括一个预处理级、一个运动估算级和一个位流编码级。这些功能由特定的 IC 支持, 这些特定 IC 包括: 预处理器电路、粗略和精确运动估算 IC 和位流编码器。每个 IC 控制能够用例如常规的 DRAM 部件实现的外存空间。芯片组由标准的外部微控制器控制, 并且包括灵活重组的
25 片内的 RISC 机。

编码器的实现不受 MPEG - 2 视频标准(ISO/IEC 13818 - 2)的约束。采用这种所发明的 MPEG - 2 芯片组, 可对复杂性和质量进行测定。因此, 当对图像质量要求较低时, 可以允许构造相对简单的编码器, 而当质量要求高时, 可以构造相当复杂的编码器。根据此发明的结构, 几个相同类型的处理
30 器可以并行使用, 以增强处理能力, 这提供了在 MPEG - 2 主项表中指明的所有编码特征, 以及不受标准化限制的其它额外功能。

输入信号格式是例如 25 帧/秒下的 576 行/帧, 或 29.97 帧/秒下的 480 行/帧, 亮度 Y 和色度 C_b 、 C_r 是 4:2:2 格式。

MPEG - 2 的 MP 编码器只要能提供有效的位流, 那么就不需要提供所有压缩技术和 MP 功能的全部选择。这样允许某些简化。

5 MPEG - 2 编码所需要的处理功能在三个主 IC 或级中进行组织。预处理器包括所有输入和预处理功能, 如进行数据压缩时需要的图像格式转换。运动估算器包括所有运动估算和运动预测功能。位流编码器包括为 MPEG - 2 编码所需的所有位流的产生, 如 DCT、量化器、逆量化器、逆 DCT、之字形扫描和 RLC/VLC 编码, 但不包括运动预测。本发明特别相关于位流编
10 码器芯片。

原理上说, 本发明的方法适用于采用运动估算和编码循环来编码数字视频信号, 编码循环包括变换步骤、量化步骤、逆量化步骤、逆变换步骤、重构步骤和象素宏块预测步骤, 在该步骤中, 从所述运动估算得到的运动信息被用于预测, 其中, 象素宏块数据和预测象素宏块数据的差值信号或/和象素
15 宏块数据本身在所述变换步骤进行处理, 而所述量化步骤的输出信号被作进一步处理, 从而得出被编码的信号, 该信号包括从所述运动信息中产生的信息, 其中或者:

编码在采用流水线处理来进行所述变换、量化、逆量化、逆变换和重构步骤(但不包括所述预测步骤)的一个集成电路中实现, 并且其中所述的进一步处理包括之字形扫描步骤、行程长度和可变长度编码步骤和位流汇编步骤, 在后一步骤中采用存储装置作为数据速率控制缓冲器和作为大于宏块电
20 平的位流数据的中间存贮器, 所述宏块电平由控制装置提供给所述集成电路, 从而在至少另一个集成电路中执行所述运动估算和所述预测步骤, 该另一个集成电路与所述集成电路相连, 并且被分配了用于所述运动估算和所述
25 预测步骤的图像数据存储装置;

或者:

编码在进行所述变换、量化、逆量化、逆变换和重构步骤(但不包括所述预测步骤)的一个集成电路中来实现, 并且其中所述进一步处理包括之字形扫描步骤、行程长度和可变长度编码步骤、和采用了至少作为数据速率控制缓冲器的存储器的位流汇编步骤, 因此缓冲器填充级不是由存储在所述存储装置中的数据计算得出的, 而是在所述位流汇编步骤中计算相应的位得出的,
30

这样得出的缓冲填充级被用于控制所述量化步骤和所述逆量化步骤，而在至少另一个集成电路中执行所述运动估算和所述预测步骤，该另一个集成电路与所述集成电路相连，并且被分配了用于所述运动估算和所述预测步骤的图像数据存储装置。

5 本发明方法的其它优选实施例由相应的从属权利要求产生。

原理上说，本发明装置适用于采用运动估算装置和编码循环来编码数字视频信号，编循环包括变换装置、量化装置、逆量化装置、逆变换装置、重构装置和象素宏块预测装置，在最后一装置中，从所述运动估算得到的运动信息被用于所述预测装置，其中，象素宏块数据和预测象素宏块数据之间的差值信号和/或象素宏块数据本身在所述变换装置中进行处理，而所述量化装置的输出信号被作进一步处理，从而得出编码过的视频信号，该信号包括从所述运动信息中产生的信息，其中，

10

或者：

编码在包括所述变换、量化、逆量化、逆变换和重建装置但不包括所述预测装置的集成电路中采用流水线处理来实现，并且其中所述进一步处理包括之字形扫描装置、行程长度和可变长度编码装置和位流汇编装置，在最后一装置中采用存储装置作为数据速率控制缓冲和作为大于宏块电平的位流数据的中间存储器，所述宏块电平由控制装置提供给所述集成电路，从而在至少另一个集成电路中包括了所述运动估算和所述预测装置，该另一个集成电路与所述集成电路相连，并且被分配了用于所述运动估算和所述预测装置的图像数据存储装置；

15

20

或者：

编码在包括所述变换、量化、逆量化、逆变换和重构装置(但不包括所述预测装置)的一个集成电路中执行，并且其中所述进一步处理包括之字形扫描装置、行程长度和可变长度编码装置和采用了至少作为数据速率控制缓冲器的存储装置的位流汇编装置，从而缓冲器填充级不是由存储在所述存储装置中的数据计算得出，而是在所述位流汇编装置中计算相应的位得出的，这样得出的缓冲填充级被用于控制所述量化装置和所述逆量化装置，而在至少另一个集成电路中包括所述运动估算和所述预测装置，该另一个集成电路与所述集成电路相连，并且被分配了用于所述运动估算和所述预测装置的图像数据存储装置。

25

30

本发明装置的其它优选实施例由相应的从属权利要求得出。

下面参考附图对本发明优选实施例进行描述，其中：

图 1 是编码 MPEG - 2 视频数据流的原理功能块；

图 2 是所发明的芯片组的方框图；

5 图 3 是所发明的芯片组的更详细实施例的一个例子；

图 4 是本发明的基本实施例；

图 5 是本发明的改进的实施例；

图 6 是第一和第二传递交错的时序图；

图 7 是核化(coring)函数。

10 根据图 1 所描述的功能可以由图 2 和其它附图所描述的结构获得。在该结构中，MPEG - 2 编码所需要的处理功能在三个主要 IC 或级中进行组织，其中对每一级分配一个存储器。

预处理级 201 包含进行数据压缩所需要的所有输入和预处理功能，即图 1 的块 101。

15 运动估算级 203 包含所有运动估算和运动预测功能，即图 1 的电路 102 和 109。因此，运动向量的产生和运动向量的应用是在同一芯片上，并且存储在附随的存储器 204 中的图像数据对这两个功能都适用。级 203 可以对亮度和/或色度数据进行操作。

20 位流编码级 207 包括用于 MPEG - 2 编码的所有位流生成，即图 1 的电路 103 至 108 以及 110 至 117，但不包括在该芯片上需要图像数据存储器(例如帧存储器)的运动预测电路(图 1 的电路 109)。这些主处理级的每一个都有与外存储器 202、204 和 208 的接口，以及与控制器的接口，该控制器为编码器提供所有的可编程选择。这意味着通过上面所述的将图 1 的块划分为级 203 和 207，存储器 204 的内容(例如，在只存储一个参考图像的情况下，至少一个场的像素数据；在存储一个参考图像和一个预测图像的情况下，两个场的像素数据；在为了双向预测 B 图像存储一个参考图像和两个预测图像的情况下，三个场的像素数据)不必被复制到存储器 208 中。因此存储器 208 可以显著地减小，并且非常便宜。级 201、203 和 207 可以包含硬件实现功能以及可编程电路，例如微控制器或运行相应软件的微型计算机中央处理器。

25 30 器。另一个优点是：运动估算级 203 导致 n 个图像的延迟(从 I 到下一个 I，或 P 到下一个 P，或 I 到下一个 P，或 P 到下一个 I 图像)。由于级 203 的输

出数据和总线 A 上的图像数据基本上在同一时间为级 207 所需要, 因此, 通常会需要存储器 208 来调节输入数据的不同时刻的情况。然而, 由于为了某些操作级 201 需要一个大存储器, 例如一个多图像存储器, 因此这个存储器也被用来补偿上面所述的时间延迟。结果是级 207 的输入数据基本上在适当的时间到达, 并且存储器 208 可以有较低的容量。因此总线 A 上的图像数据相对于总线 B 上的相应图像数据可以有几个图像的延迟。

由于这种功能划分(这是本发明的一方面), 每个级 201、203 和 207 都可以在一个 VLSI 芯片中实现, 原因是所有级都正好包含那么多处理元件, 可以用现有的 VLSI 技术, 即 $0.8\ \mu\text{m}$ 2 层 HCMOS4 技术在单个集成电路上实现。存储器 202、204 和 208 可以包含标准存储装置, 如 4MBit DRAM、SDRAM 或其它可行的存储器。

在预处理级 201 的输入端可以采用与 ITU - R 建议相关的 $YCbCr$ 格式的标准数字视频信号 DVS, 以及包括例如 13.5MHz 时钟的标准视频同步信号 SCLK, 而级 201 和 203 之间的接口以及级 203 和 207 之间的接口的操作具有内在同步。例如, 相关于行和场的输入同步信号被宏块和相关于 MPEG 层级的其它同步信号所代替。

级 207 的编码输出接口在其输出 CVBS 提供一个压缩的 MPEG - 2 视频位流, 例如在 ISO 13818 中定义的包化基本位流(PES), 以及适当的同步信号。这个位流可以采用数据请求输入 DREQ 读出。预处理级 201 经由第一总线 A 连接到运动估算级 203, 经由第二总线 B 连接到位流编码级 207, 用于编码复杂性的预分析。

通过调节相关的编码参数如中间/内部和场/帧决定, 预分析允许在每个宏块内进行另外类型的速率控制, 最好是总线 A 不传输亮度数据, 而由总线 B 传输。级 201、203 和 207 与控制器 209 的接口经由一条双向第三总线 C 连接, 并且可以采用标准数据、地址和与标准控制器设备相关的同步定义, 诸如摩托罗拉或德克萨斯仪器公司的电路, 如 TMS 320 C30。控制器 209 又有一个经由总线 SYSSV 到系统总控制的接口, 或一个用户接口计算机, 它由此接收用于编码器设置、方式选择等等的参数。经由总线 SYSSV, 也可以传输错误码之类的编码器状态信息。

详细地说, 级 201 包含所有预处理和数据重新排序功能, 这些也是图 1 中块 101 的内容。这些功能可以包括从原始图像格式转换为编码格式的水平

和垂直滤波和十进制转换，例如每个有效行从 720 个象素到 544 个象素的变换。作为一个例子，从所谓的 4:2:2 $YCbCr$ 组织转换，对色度信号进行适当的滤波和十进制转换，以取得 4:2:0 编码格式，可以是级 201 的处理功能的一部分。级 201 中的电路的另一个重要任务是消除水平和垂直消隐信号间隔以及按从场和行的顺序扫描到适当宏块的相关扫描次序对视频数据重新排序，这对 MPEG - 2 编码是很有用的。级 201 提供不同类型的宏块数据，如亮度和 $YCbCr$ 数据，其适当的时序特性被用于总体编码器的后继处理块。其它处理选择方案，例如在运动序列的情况下降低噪声和检测冗余场，可以是级 201 的功能的一部分。在视频编码结构中，这个预处理级也被用于在其 SCLK 输入端检测同步信号以及为相应的宏块输出信号和编码器电路的其它部分产生同步信号。

运动估算级 203 包括 MPEG - 2 编码所需的所有运动估算处理，参见图 1 中的块 102，并包括根据图 1 中的预测器 109 所描述的运动预测功能。级 207 包含图 1 中列出的其它处理部件，特别是 DCT 及其逆 DCT、量化和逆量化、行程长度和可变长度编码功能、标题汇编和封包。级 207 对亮度和色度数据进行编码。

这种特定的功能划分是合适并且有利的，因为例如运动估算和运动预测的高速处理以及运动向量的普通使用是在同一芯片上。

另一种特定的功能划分相关于图 1 的块 111、112、113 和 114 中包含的位流产生和速率控制功能。当相关于快速块、宏块和片层级处理时，这些功能可以在级 207 中用专门的硬件电路来实现。高于片层级(需要较低的运行速度)的所有 MPEG 视频位流操作和速率控制功能都可以象在级 209 中一样在一个标准控制器上实现。

图 3 以更详细的图示示出了本发明的另一个实施例。级 301 和 307 分别对应于级 201 和 207。级 203 现在是以另一种方式来实现的，其功能又被划分为粗略运动估算级 303 和精确运动估算级 305。这种分级运动估算涉及更细致的运动估算技术，此时需要更大的处理能力来完成运动向量检索过程。

级 303 和 305 最好只计算亮度，但也可以计算色度数据。也可以是级 303 只操作亮度信号而级 305 为亮度和色度信号计算精确运动向量。

如果级 303 包括一个芯片，那么对一帧检索可以取得水平为 ± 64 象素、垂直为 ± 32 个象素的帧向量检索区域。级 305 可以执行全象素检索。但也可

以计算具有 $1/2$ 象素精度的运动向量。在全象素检索的情况下，检索区域是例如在帧方式下水平 ± 3 个象素以及垂直 ± 8 个象素。

级 303 和 305 两者都通过传输粗略运动向量数据的总线 D 连接，并且有其自身的标准存储器接口 304 和 306，如图 2 所描述的那样。控制器 309 与
5 控制器 209 相对应，并且也经由双向总线 C 连接到级 303 和级 305。

在这种结构中，粗略运动估算级 303 经由总线 A 从预处理级 301 接收它的输入信号。同一总线被连接到位流编码级 307，用于编码复杂性预分析。预处理级 301 在总线 B 上直接向精确运动估算级 305 提供另一个信号。最好是总线 A 不传输亮度数据，而由总线 B 传输。

10 有利的是，在总线 A 和 B 上，视频图像数据是以特定的次序传送的，该次序涉及 MPEG - 2 宏块组织，并且与特定的同步信号一起。与总线 A 上的相应数据相比，总线 B 上的 YC_bC_r 数据可以延迟一帧。

在总线 D 上，在粗略运动估算级 303 中计算的初始运动向量的数据被传送到精确运动估算级 305，后者计算最终的运动向量。

15 总线 C 传送标准控制器接口信号。在总线 E 上将宏块数据(即组合器 103 的输入信号)从级 305 运送到级 307。这与总线 B 上运送的数据相对应，但根据级 305 中的处理时间被延迟了。

总线 F 也将宏块数据(即预测器 109 的输出信号)从级 305 传送到级 307，这一宏块数据涉及精确运动向量和预测方式(即块 115 和 116 的输入信号)，
20 它们是在级 305 中计算的，并且在总线 G 上向前传送到级 307。

总线 H 将来自级 307 的重构宏块(即加法器 108 的输出信号)——这是 MPEG - 2 预测循环所需要的一输送回级 305。在总线 E、F 和 H 上的所有宏块数据都伴随着特定的同步信号。

在本发明中以有利的方式得以解决。采用图 3 中所示的总线结构，可以将所有运动估算和宏块预测任务限定在级 303 和 305。因此，所有相关的存储要求都由与运动估算电路 303 和 305 相连的存储器 304 和 306 所实现。通过将包含在级 307 中的重构的图像数据(图 1 中加法器 108 的输出)返回到精确运动估算级 305 中的预测处理，可以闭合用于 MPEG - 2、MPEG - 1 和其它
25 视频编码技术中的预测循环。级 307 的其余存储要求仅仅相关于位流编码处理。在运动估算和位流产生之间的这种接口的另一个优点是可以根据重构的
30

数据计算运动向量,该重构数据可以在逆量化之后得到。这改进了编码质量,从而使得译码器中的译码错误已经可以在编码器中予以考虑。如同在图2中那样,粗略运动估算级303导致几个图像的延迟(从I到下一个I,或P到下一个P,或I到下一个P,或P到下一个I图像)。由于后继的精确运动估算级305的输出数据和总线A上的图像数据在级307中基本上在同时被需要,因此对于输入数据的不同时的情况,通常会需要对存储器308进行调节。然而,对某些操作,由于级301需要一个大存储器,例如一个多图像存储器,因此这个存储器也被用来补偿上面描述的时间延迟。其结果是级307的输入数据基本上在适当的时间到达,并且存储器308可以有较低的容量。因此,相对于总线B上的相应图像数据,总线A上的图像数据可以有几个图像的延迟。

虽然精确运动估算级305在相关于总线A上的数据的输出数据中内在地引入了一个短的延迟(级305以流水结构处理8个宏块,并且与运动信息一起传输),但对级307采用相对较小的存储容量,而将第三总线从级301保存到级307则更为便利。由于编码器在高速下运行,因此需要一条并行总线,它将使用芯片上其余的管脚以及装有芯片的板的其余空间。

如上所述,MPEG视频压缩需要一个预测循环,该循环包括DCT及其逆函数以及一个量化级及其逆函数。在该循环中,需要作出许多决定,从而将编码过程调整为实际的图像内容。本发明特别相关于位流编码器功能性的实现,建议预测循环经由外部电路来闭合,它包括进行运动补偿和选择最佳预测的所有装置。

位流编码器的结构如图4所示。有利的是,将要编码的 YC_bC_r 象素数据在总线A_e上接收,同时还有属于最佳预测器(总线B_f)的相应的 YC_bC_r 象素数据,即分别是被预测的象素块和宏块。在总线A_e和B_f上输入给电路的两种数据可以按宏块扫描次序进行组织。因此,对总线D_h上的重构路径来说, YC_bC_r 数据通过将来自B_f总线的输入数据(预测的宏块)与总线FF上的数据(重构的宏块)相结合而产生,后一数据来自逆DCT和量化级。有利的是,图4的结构允许流水线处理。

在图4的实施例中,块410包含用于以场和帧扫描方式(表示为“场/帧”判定,见ISO/IEC 13818-2第6.1.3章)对宏块数据排序以及用于选择总线A_e上的原始数据或该原始数据与总线B_f上的预测象素块数据之差来进行

编码的所有装置，这种选择被表示为“中间/内部”判定，见 ISO/IEC 13818 - 2 的 I 或 P 图像。为了作出这种判定，通过对每个宏块计算例如行对差值信号的和来计算一个块难度值。块 410 也可能包含某个用于核化(coring)的装置，它可以用于在预测循环中降低噪声。在图 7 中示出了这种环内核化函数的三种不同例子：黑线、黑短划线和黑点线。IP 是输入信号幅值而 OP 是输出信号幅值。块 410 的原始数据/差值数据输出经由总线 EE 输送到块 420，而预测的像素块数据经由连线 I 被传送到块 411。块 420 包含 DCT 功能(对照块 104)。总线 GG 上的 DCT 数据被传送到量化级 430，它实现 MPEG - 2 的不同量化功能(比较块 105)。在这个特定的结构中，线性或非线性量化因子可以由控制器电路 409 经由双向总线 C 来提供和经由另一个总线 Q 从级 432 提供。

量化级 430 的输出数据经由连线 L 进入扫描器 412(参见块 110)，逆量化级 431 亦同样(参见块 106)，后者经由总线 C 接收与量化级 430 相同的控制功能。级 431 的输出经由总线 HH 传送到执行逆 DCT 的块 421(参见块 107)。块 421 的输出经总线 FF 输送到块 411，块 411 执行相应的逆宏块排序并将连线 I 上的预测像素块数据与总线 FF 上的重构像素块数据组合起来。

扫描器 412 包含 MPEG - 2 中指定的之字形和隔行扫描功能。它提供输出信号 U，其流水线数据被传送到包含在单元 422(参看块 111、115、116)中的行程长度和可变长度编码级中。单元 422 也接收经由串行总线 M - g 从外部电路提供的运动向量数据 MVD 和 PMD。

总线 A_e、B_f、D_h、M_g 和 C 分别对应于图 3 的总线 E、F、H、G 和 C。

有利的功能特征包含在汇编级 432 中。该汇编级对压缩的视频位流进行汇编。级 432 由控制器 409 经由双向总线 Z 进行控制，并且以 VLC 码字形式接收压缩视频数据以及来自块 422 的运动向量数据。它还从本地控制器 409 接收完整的 MPEG - 2 位流句法所需要的所有相关信息。控制器 409 自身经由总线 C 得到属于句法成份的低于来自处理块 410、420 和 430 的片层级所有位流信息，这主要与宏块编码判定有关，如“场/帧”、“中间/内部”以及其它。反过来，控制器 409 也同样能经由总线 C 影响块 410、420、430、411、421、431、412 和 422 中的这些编码判定，以及用于块 410 中的核化函数的参数。

有利的是，这些编码判定和用于核化的参数也可以经由总线 K 从外部电路直接提供给块 410，总线 K 可以包括例如两条串行总线，一条用于核化控制，另一条用于中间/内部和场/帧排序判定。

5 高于片层的与句法成份有关的所有位流信息，例如图像大小信息、位速率信息、用户数据等等，可以外部产生，例如由系统管理程序产生，并且经由总线 SYSSV 被传输到控制器 409。控制器将这一信息传送到汇编级 432，自该处它或者正好被插入到位流之中，或者经由总线 P 暂时存储在外存储器 308 中。存储器 308 可以包括标准 DRAM、SDRAM 或其它适当的存储器装置，它用于位流数据的中间存储，并且也作为速率控制的位流缓冲器。

10 有利的是，位流汇编、缓冲和速率控制功能是在一个单一的处理单元(汇编级 432)中进行组织的，该单元用作不同句法成份的多路复合器，并且同时跟踪为位流而产生的位数。该跟踪处理的结果是产生了量化值，该量化值经由总线 Q 反馈给量化级 430 和逆量化级 431。

15 有利的是，不需要采用存储器 308 自身内容的直接缓冲器填充级判定来产生总线 Q 的量化因子信息，相反，在汇编级 432 中，位数是在内部累加器装置中计算的，不需采用存储器 308 和总线 P、X 和 Y。可以统计例如每个图像或每个预定宏块的位数，该预定数可以经由总线 Z 装入。

20 汇编级 432 也产生存储器控制数据，该数据经由总线 X 传送到外部存储器 308 的一个地址控制器 450。存储器地址数据在总线 Y 上输出。所有速率控制功能由汇编级 432 配合本地控制器 409 执行，后者管理总体编码过程，并且在需要时，可以将位流产生过程中的所有先前处理块调整为需要的操作模式。根据级 432 中的信息，控制器 409 也可以经由总线 SYSSV 将信息反馈给总体系统管理程序。例如在几个这种类型的视频编码器在一个可变位速率基础上共同使用时，那么可以采用这一特征。在这种情况下，本地位速率
25 信息必须能够正常地提供给管理电路，以进行全面的速率调整。反过来，本地编码器经由总线 SYSSV 从管理程序接收其相应的速率调整。

汇编级 432 用先前从外部存储器 308 读出的压缩数据以及在本地产产生并从控制器 409 接收的标题和其它较高层语法信息来产生完整的位流。它将准备用于编码器输出的完整的位流经由连线 R 传送到单元 440，该单元用作压缩数据端口。单元 440 可以在总线 CVBS 上以连续的位流以串行或并行(字节
30 方式)方式提供位流，或突发数据方式提供位流。如果它产生突发数据，那么

它也可以产生一个数据有效信号。在具有后继处理级(没有示出)的一个请求方式下,单元 440 可以接收一个数据请求信号 DREQ,并将其转变为对级 432 的一个内部请求信号 J,然后,级 432 能够为来自外存储器的压缩数据确定适当的读出时间。

5 有利的是,运动估算和运动预测是在精确运动估算器 305 中执行的,因此,存储器 308 不需要存储重构或预测的图像数据。这类数据被存储和/或已经存在于存储器 306 中,该存储器必须为了运动估算存储这类数据。因此,存储器 308 可以有较小的容量,而总线 P 或者可以以较低的时钟速率运行,或者在构置时只需较少数量的并行线。在例如汇编级 432 和块 410/411 之间
10 并不需要另外的总线。在对 HDTV 信号进行编码时,这种考虑更加重要。

 在图 5 的改进结构中,位流编码器也可以用于预分析将要编码的图像。为此,块 410 作了改进,它包括一个在宏块输入数据 A1_e 和 A2_e 之间进行选择的多路复合器。输入 A2_e 可以代表要最后编码的 YC_bC_r 数据,而输入 A1_e 包括同一信号的 Y 或 YC_bC_r 数据,但来自先前的时间瞬间。在这种情况下,可以采用块 410、420、430、412、422 和 432 中的相同处理部件
15 对来自输入端 A1_e 的数据进行编码,并且在相应的装置(如在级 432 中)中计算或计数由该编码过程所产生的位数。计数可以存储在控制器 409 中,并且可以随后用于为 A2_e 输入数据的实际编码传送调节编码判定和量化器设置。这种方法有时被称之为“第一传送和第二传送编码操作”。

20 本发明包括了这里所描述的结构中的特殊装置。在第二传送编码操作将要开始之前,在 A1_e 和 A2_e 数据之间必须有足够的时间延迟来完成第一传送编码操作。根据本申请,这个时间延迟可以包括一个或多个帧,并且必须在提供 A1_e 和 A2_e 数据的电路中实现。

 本发明也相关于允许在为产生完整的位流而给定的时间帧中处理第一
25 和第二传送编码步骤的一种设备。一种适当的多路复合用或交错方法是以宏块间隔为基础,如图 6 所示,其中 TMB 是宏块间隔, A1P 是第一传送的处理周期,而 A2P 是相应宏块的第二传送的处理周期。然而,本发明并不局限于这些特定的参数。也可以是两个具有各自功能的芯片象图 4 一样以并行连接操作,一个用于第一传送编码操作,另一个用于第二传送编码操作,因此
30 两者都由控制器 409 控制。

 所有芯片内数据通讯可以是以系统时钟频率,如 27MHz 进行的同步数

据传输。

就 MPEG - 1 而言，如图 1 和图 4 中所示的基本功能可以用诸如 SGS - Thomson 的 STi 3230 芯片上的电路来执行。运动估算和运动估算控制器电路本身可以由 SGS - Thomson 的 STi 3220 和 STi 3223 芯片得知。DCT 和逆
5 DCT 可以采用公知的诸如 SGS - Thomson 的 IMSA121、STV 3208 和 STV 3200 芯片上的电路来实现。

在本申请人的另一份欧洲专利申请 EP 95119207 中更详细地描述了总体系统。

预处理级 201 和 301 在本申请人的又另一份欧洲专利申请 EP 95119202
10 中作了更详细的描述。

粗略运动估算级 303 在本申请人的另一篇专利申请(FR 9110158)中作了更详细的描述。

精确运动估算级 305 在本申请人的又另一篇欧洲专利申请 EP 95402787 中作了更为详细的描述。

15 本发明可以用于基于 MPEG - 2 和 MPEG - 1 标准例如数字视频广播、数字视频在 CD 上的记录和回放、交互性视频服务、以及节目合成(Programm contribution)、ENG/SNG、视频服务器、非线性编辑等等。

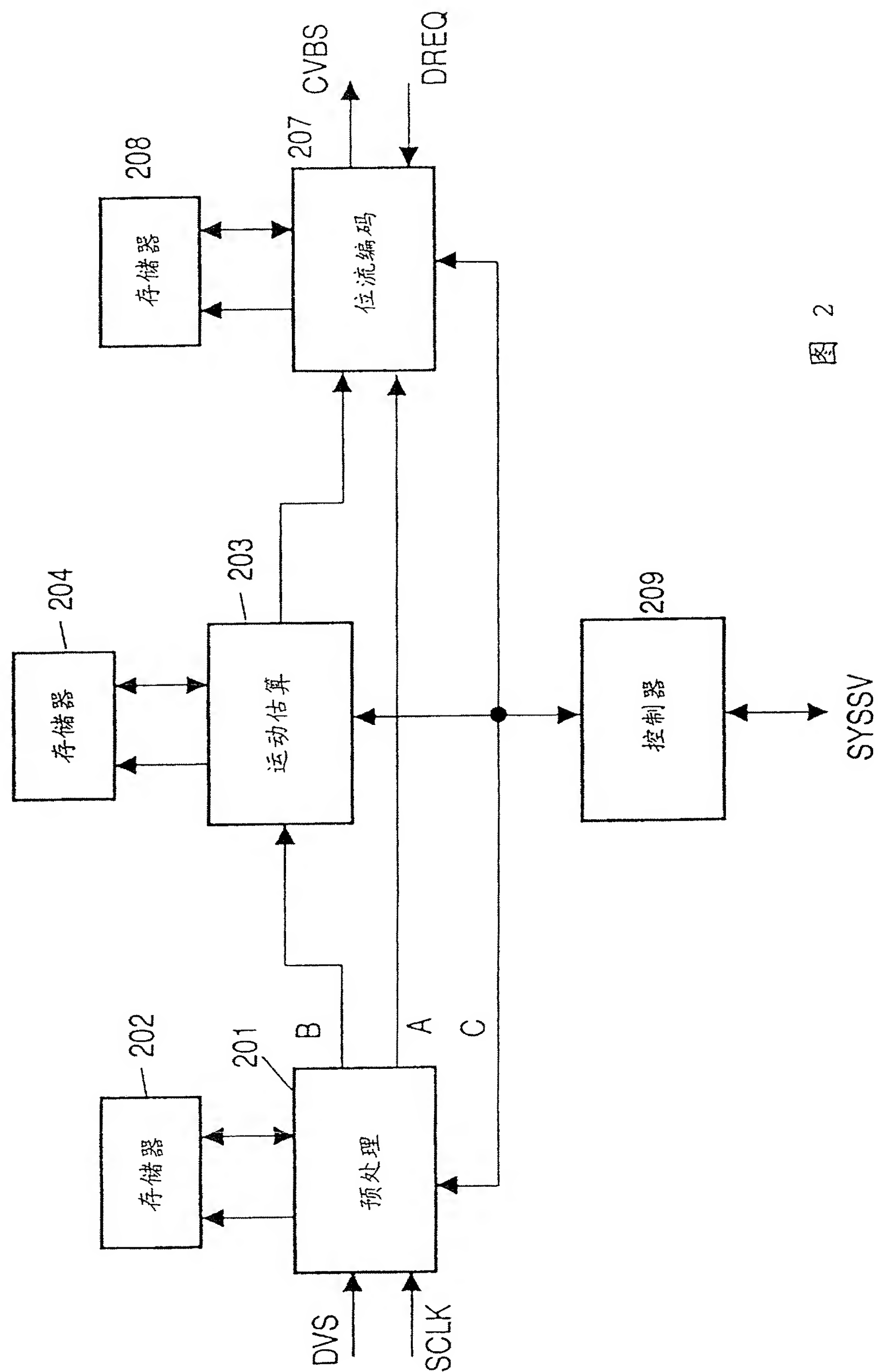


图 2

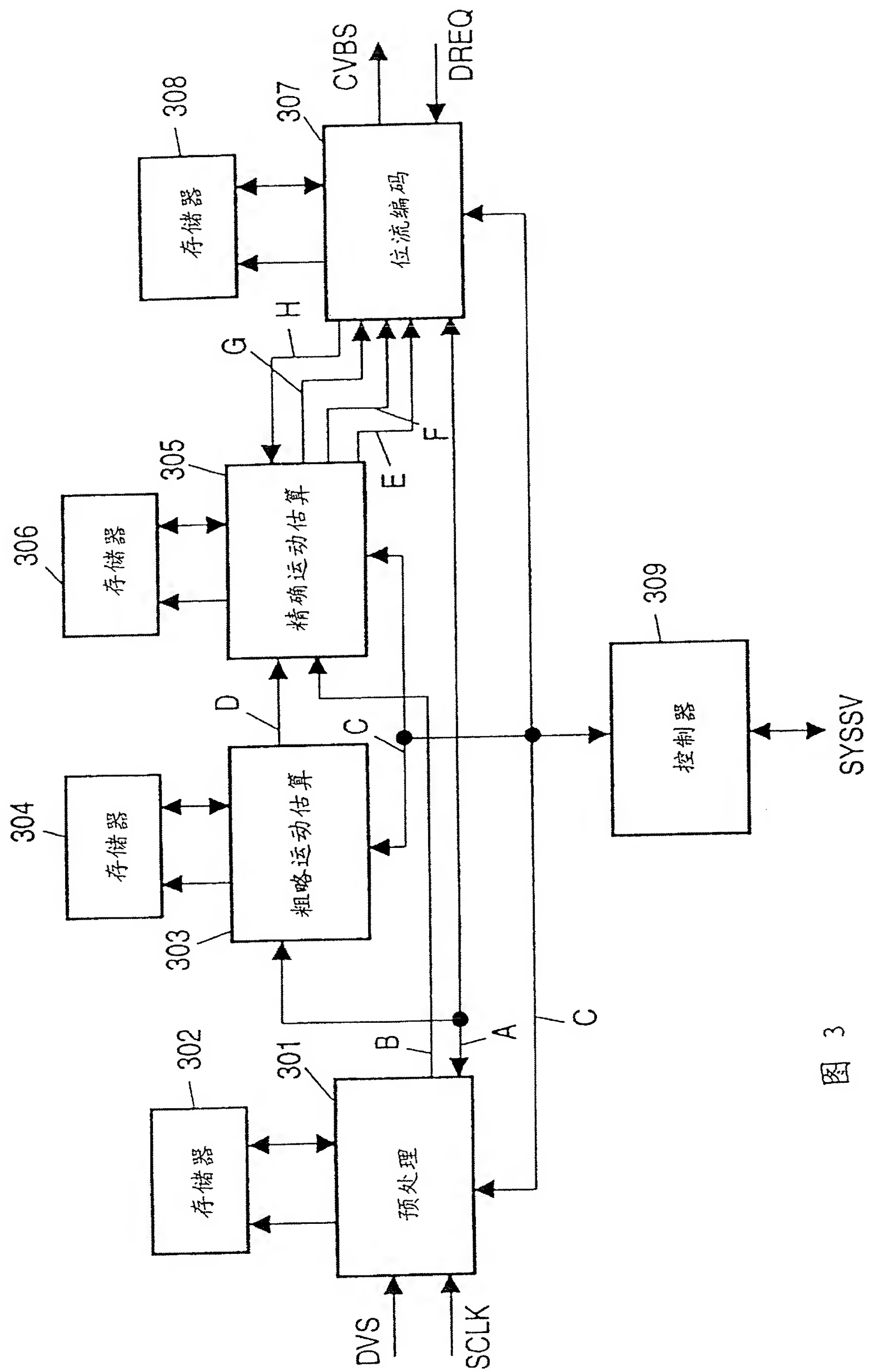


图 3

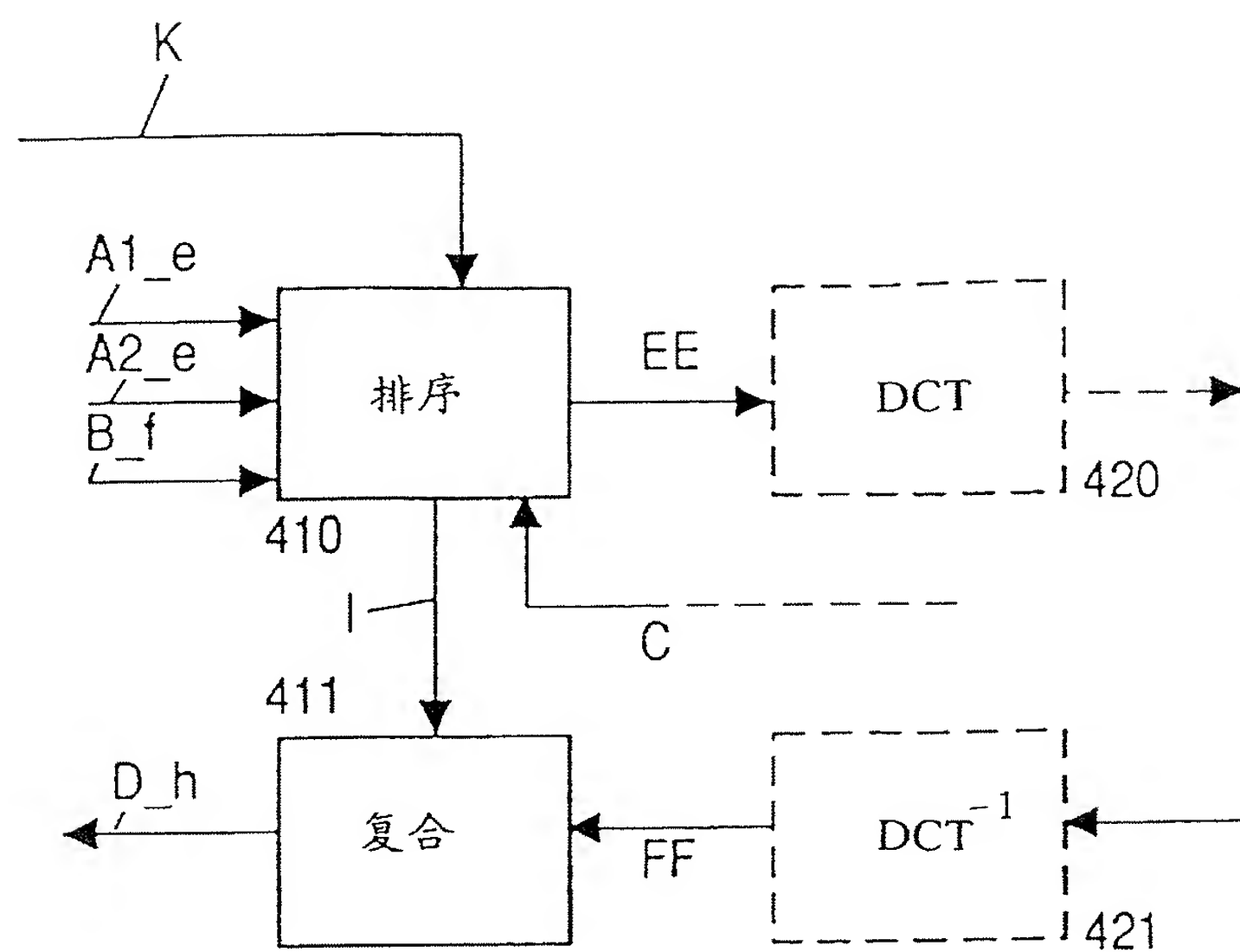


图 5

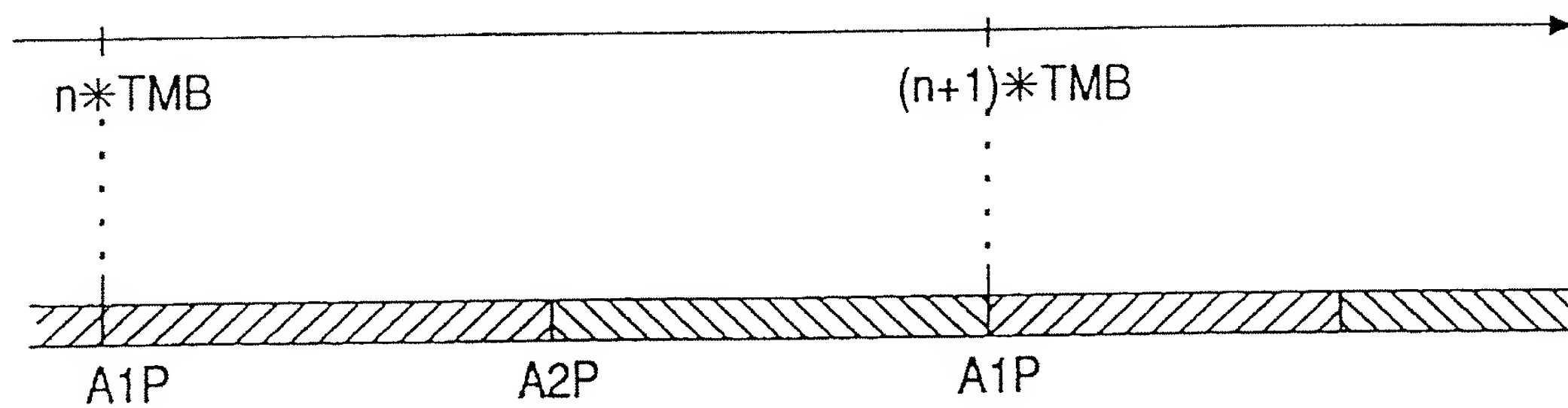


图 6

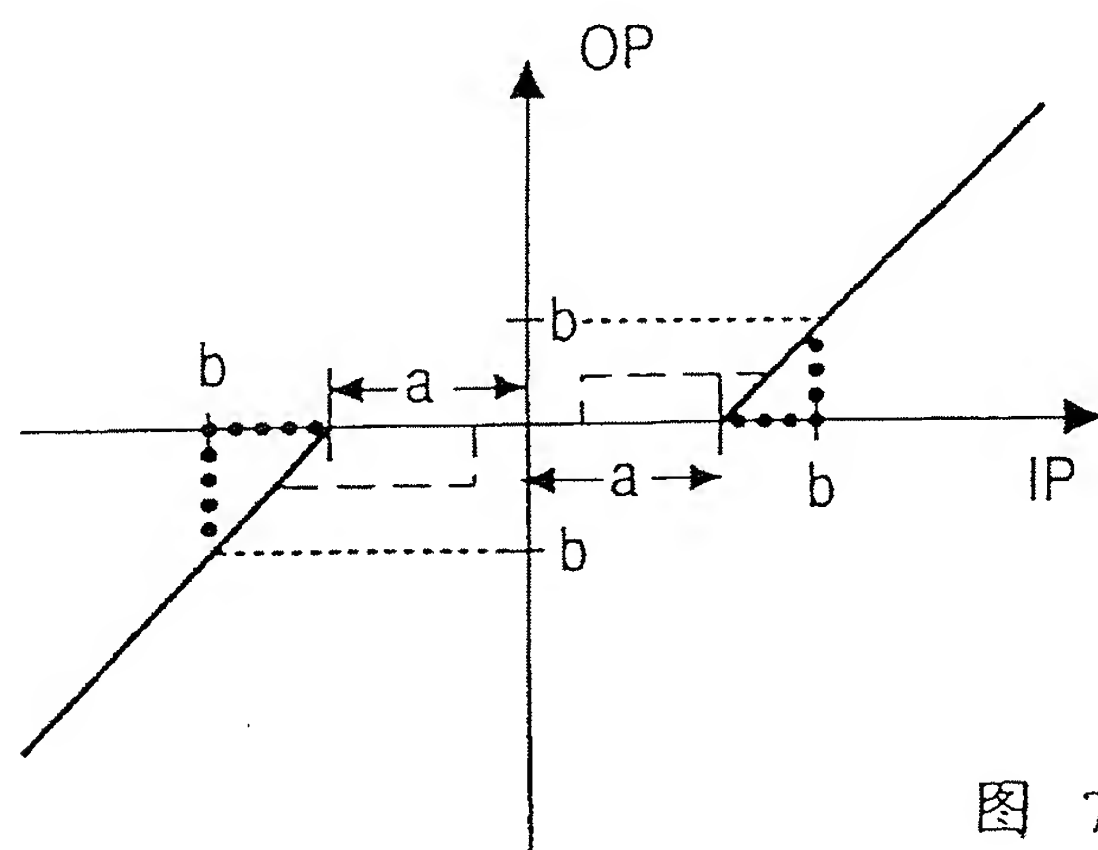


图 7